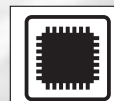
CMOSアナログICの実用設計

吉田晴彦

第1回

アナログIC開発者が知っておくべき「設計手順と勘所」

CMOSアナログICの実際の設計ドキュメントが雑誌記事として掲載されることは，今回が初めてではないかと思われる．SoC（system on chip）開発現場の不具合の原因として，「機能，論理エラー」が43％と一番多いが，「アナログ回路の不良」は20％と2番目に多いという．アナログIC開発者が知っておかなくてはならないICの設計手順，回路設計，レイアウト設計，特性評価などについて，最終製品になるまでを具体的に紹介していく．（編集部）

0．これから開発するPWM制御ICとは

学生や若手エンジニアの教材となるようなCMOS（complementary metal oxide semiconductor）アナログIC「PWM01」の開発を，インパルス，新日本無線，CQ出版社の3社（**写真1**）により行うこととなりました．この開発過程を盛り込み，CMOSアナログICの開発事例を紹介していきます．なお，このIC（PWM01）は現在開発中なので，現時点では読者からの質問にお答えできないことをご承知おきください．

写真1　プロジェクト・メンバー
CMOSアナログICの技術者育成を目的に教科書や教材の作成を目指す．

まず，アナログIC開発者が知っておくべき「設計手順と勘所」，「レイアウト手順と勘所」，「評価，およびIC設計者に必要な能力」などを中心に，一般的なアナログICの仕様検討から製造ラインに量産移管されるまでの製品開発の流れについて説明します．その後，実際にPWM01の開発を行い，回路設計やレイアウト設計，特性評価などの開発過程を説明していきます．

製作するPWM01は，アナログ方式のPWM制御フルブリッジ・インバータ，コンバータ用コントローラICです．**図1**に示すように，アナログICの基本回路であるOPアンプ，コンパレータ，発振器，基準電圧源，レギュレータなどから構成されます．

スイッチング・アンプを作成するときは，フルブリッジ＆ドライバ（full bridge & driver）の出力からフィードバックをかける手法が一般的です．しかし，PWM01の構成ではLCフィルタの出力からフィードバックをかけることができるので，出力（負荷）側から見ると，より安定なフィードバックを施すことができます．回路は複雑になりますが，*LC*フィルタによって発生するひずみ，出力インピーダンス，高域周波数特性などの変動を抑制し，ロバスト性の高いスイッチング・パワー・アンプが実現できます．

また，状態フィードバック制御[注1]とPI制御[注2]による高精度で安定な制御，3値（ダブル・キャリア）三角波PWM

KeyWord　CMOSアナログIC，PWM01，インバータ，コンバータ，状態フィードバック制御，PI制御，ES，CS，熱抵抗，開発仕様書，開発スケジュール，SPICE，回路接続情報，ブレッド・ボード，キット・パーツ

図1
アナログ方式のPWM制御フルブリッジ・インバータ，コンバータ用コントローラIC PWM01の等価回路
PWM制御のコントローラ．アナログICの基本回路であるOPアンプ，コンパレータ，発振器，基準電圧源，レギュレータなどから構成される．

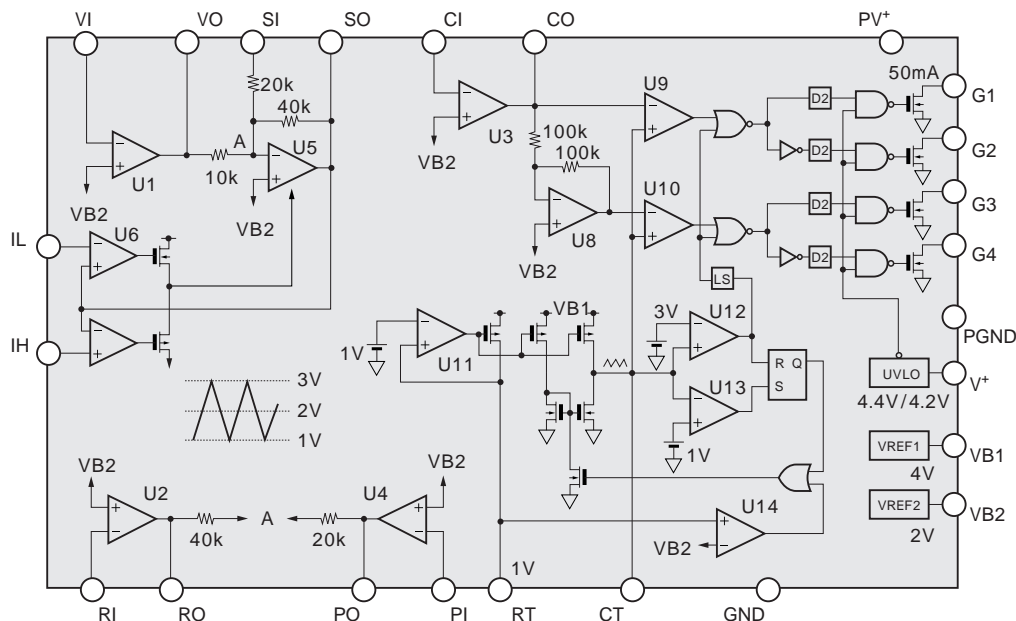
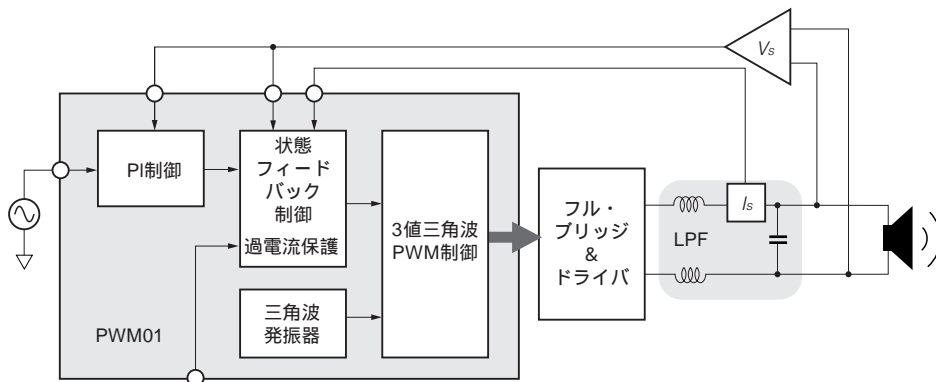



図2
オーディオ用D級パワー・アンプの構成例
PWM01は，状態フィードバック制御とPI制御による高精度で安定な制御，3値三角波PWM制御，定電圧垂下特性の過電流保護などの特徴がある．ここでは，オーディオD級パワー・アンプの応用例を示す．

制御，定電流垂下特性の過電流保護などの特徴があり，工業用スイッチング・パワー・アンプ，AC-DC電源装置，UPS(uninterruptible power supply)，バイポーラ電源，オーディオ用D級パワー・アンプ(**図2**)などへの応用が可能です．

1．アナログIC開発における開発フロー

新しいICが企画され，それが実際に設計，製造され，製品として市場に出ていくまでには，どのような手順で開発が進められていくのでしょうか．

一般的なアナログICの開発フローを**図3**に示します．ICの開発には，市場や顧客の要求に基づいての仕様検討から，製品開発が完了し製造ラインに量産移管されるまでの過程があります．この開発フローの中でIC設計者が主に携わるのは，灰色部分の仕様検討・開発計画立案，回路設計，レイアウト設計，および試作ICの特性評価です．

特性評価は「先行評価」と「総合特性評価」に分けて行います．先行評価を行う理由は，総合特性評価を行うためには最終製品形態であるモールド・パッケージへの組み立てを行う必要があり，その組み立てに1～2週間程度の期間を要するため，先行してウェハ状態，もしくはセラミック・パッケージに試作チップを搭載し，評価(**写真2**)を行

注1：状態フィードバック制御とは，電気回路などの制御対象の内部状態(電流，電圧など)を検出しフィードバックすることで，負荷の変動などによって生じる特性の変化を最小化し，制御ループを安定にすること．
注2：PI制御とは，P制御(比例制御)とI制御(積分制御)を併用したフィードバック制御のこと．比例動作だけでは偏差をなくすことができないため，積分動作を加え偏差(ゲイン誤差，オフセット電圧など)が最小になるように制御する．

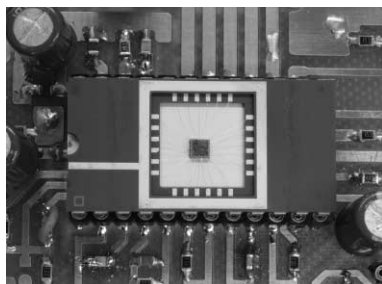



写真2　セラミック・パッケージでの評価
試作チップをセラミック・パッケージに仮実装し，先行評価を行う．

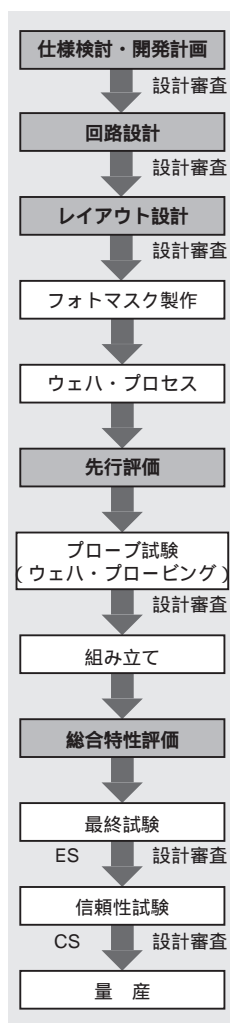



図3
一般的なアナログICの開発フロー
実際のICの開発では手戻りがあるので，もう少し複雑な流れとなる．

写真3　設計審査風景
製品開発の要所となる各段階で設計，商品企画，プロセス，テスト，組み立て，品質保証部門などの有識者が参集し，開発する製品の目標品質についての客観的な評価や審議を行い，各段階での成果物と要求事項との適合性や妥当性などを確認する．

わなくてはならないからです．この特性評価の段階で不具合が生じた場合は，必要に応じて上流ステップへ手戻りし，設計変更・特性改善を行うので，実際のIC開発はもう少し複雑な流れとなります．

また，製品開発の要所となる各段階で関連部門(設計，商品企画，プロセス，テスト，組み立て，品質保証など)の有識者が参集し，開発する製品の目標品質(機能，コスト，納期，市場性，信頼性，外観，梱包(こんぽう)など)についての客観的な評価や審議(設計審査；design review)を行い，各段階での成果物と要求事項との適合性や妥当性などを確認します(**写真3**)．

総合特性評価や最終試験で，特性規格を満足すればES(engineering sample)として顧客にサンプル提出を行います．ESは特性の規格を満足しますが，信頼度および品質に関しては保証しないデバイスで，顧客における試作評価用のデバイスとして位置付けられます．また，信頼性試験で問題がなければCS(commercial sample)として顧客にサンプルを提出します．CSは特性規格を満足し，信頼度・品質に関しても保証するデバイスで，顧客における製品適用に向けたデバイスとして位置付けられます．

2．まずは仕様検討と開発計画の立案から

ICの性能や機能は市場や顧客の要求を満足させるもので，かつ製造ラインで生産する際にプロセス(シリコン基板を投入してからウェハができるまでの製造工程)のばらつき(工程能力)を考慮した，十分に余裕度のあるものでなければなりません．IC設計者はこれらのことを考慮したうえで，ICの仕様をどのようなものにするかを検討します．

主な検討項目としては，動作速度，消費電力/電流，最大定格，動作電圧範囲/温度範囲，負荷駆動能力などがあります．また，開発スケジュール，関連特許，パッケージ(実装密度，ピン数，熱抵抗[注3]，マーキング，梱包(こんぽう)仕様など)，コスト，試験条件，設備投資，信頼性などの実際の性能とは無関係に見える仕様も，IC開発にとっては重要な検討項目となります．

次に，どのようなプロセスやパッケージを用いてどのよ

注3：熱抵抗とは，ICの動作時に発生するジュール熱の逃げにくさのこと．単位電力あたりのパッケージの上昇温度で表現し，単位は[℃/W]．熱抵抗の低いパッケージほど消費電力の大きいICチップを搭載することができる．

■絶対最大定格

指定なき場合にはTa=25℃

項目	記号	条件	最大定格	単位
動作電圧	V^+		+9	V
出力電流	I_O		±50	mA
消費電力	P_D	TVSP8	320	mW
動作温度範囲	T_{opr}		-40～+85	℃
保存温度範囲	T_{stg}		-40～+125	℃

■電気的特性

(試験条件：V^+＝3.3V,R_T＝47kΩ)
指定なき場合にはTa=25℃

低電圧誤動作防止回路部

項目	記号	条件	分類	最小値	標準値	最大値	単位
ONスレッショルド電圧	V_{T_ON}	V^+=L→H	要求仕様	1.9	2.0	2.1	V
			開発仕様	1.9	2.0	2.1	
OFFスレッショルド電圧	V_{T_OFF}	V^+=H→L	要求仕様	1.8	1.9	2.0	V
			開発仕様	1.8	1.9	2.0	
ヒステリシス幅	V_{HYS}		要求仕様	60	100	-	mV
			開発仕様	60	100	150	

ソフトスタート部

項目	記号	条件	分類	最小値	標準値	最大値	単位
ソフトスタート時間	T_{SS}	V_{T_ON} →Duty=80%	要求仕様	8	16	24	ms
			開発仕様	8	16	24	

過電流保護回路部

項目	記号	条件	分類	最小値	標準値	最大値	単位
電流制限検出電圧	V_{SENSE}	Duty≦80%	要求仕様	0.17	0.20	0.23	V
			開発仕様	0.17	0.20	0.23	
遅延時間	T_{DELAY}	V_{SENSE}+0.1V OUTまでの遅延時間	要求仕様	-	140	-	ns
			開発仕様	90	140	190	
SENSEブランク時間	T_{BLANK}		要求仕様	-	90	-	ns
			開発仕様	40	90	140	

発振回路部

項目	記号	条件	分類	最小値	標準値	最大値	単位
RT端子電圧	V_{RT}		要求仕様	0.475	0.500	0.525	V
			開発仕様	0.475	0.500	0.525	
発振周波数	f_{OSC}		要求仕様	630	700	770	kHz
			開発仕様	630	700	770	
周波数電源電圧変動	f_{DV}	V^+=2.2～8V	要求仕様	-	1	-	%
			開発仕様	0	1	3	
周波数温度変動	f_{DT}	Ta=-40～+85℃	要求仕様	-	3	-	%
			開発仕様	0	3	5	
発振周波数2	f_{OSC2}	R_T＝150kΩ	要求仕様	-	-	-	kHz
			開発仕様	150	225	300	
発振周波数3	f_{OSC3}	R_T＝27kΩ	要求仕様	-	-	-	kHz
			開発仕様	1000	1150	1300	

誤差増幅器部

項目	記号	条件	分類	最小値	標準値	最大値	単位
基準電圧	V_B		要求仕様	-1.5%	1.00	+1.5%	V
			開発仕様	0.985	1.00	1.015	
入力バイアス電流	I_B		要求仕様	-0.1	-	0.1	μA
			開発仕様	-0.1	0	0.1	
開ループ利得	A_V		要求仕様	-	80	-	dB
			開発仕様	60	80	100	
利得帯域幅積	G_B		要求仕様	-	1	-	MHz
			開発仕様	0.7	1	1.3	
出力ソース電流	I_{OM+_1}	V_{FB}=1V,V_{IN-}=0.9V	要求仕様	25	55	95	mA
			開発仕様	25	55	95	
出力ソース電流	I_{OM+_2}	V_{FB}=1V,V_{IN-}=0.9V,V^+=2.2V	要求仕様	4	9	16	mA
			開発仕様	4	9	16	
出力シンク電流	I_{OM-}	V_{FB}=1V,V_{IN-}=1.1V	要求仕様	0.10	0.16	0.22	mA
			開発仕様	0.10	0.16	0.22	

PWM比較器部

項目	記号	条件	分類	最小値	標準値	最大値	単位
入力スレッショルド電圧	V_{T_0}	Duty=0%	要求仕様	0.16	0.22	0.28	V
			開発仕様	0.16	0.22	0.28	
入力スレッショルド電圧	V_{T_50}	Duty=50%	要求仕様	0.44	0.50	0.56	V
			開発仕様	0.44	0.50	0.56	
最大デューティ・サイクル	M_{AXDUTY_1}	V_{FB}=0.9V	要求仕様	85	90	95	%
			開発仕様	85	90	95	
最大デューティ・サイクル	M_{AXDUTY_2}	V_{FB}=0.9V,R_{DTC}=47KΩ	要求仕様	40	50	60	%
			開発仕様	40	50	60	

出力部

項目	記号	条件	分類	最小値	標準値	最大値	単位
出力H側ON抵抗	R_{OH}	I_O=-20mA	要求仕様	-	10	20	Ω
			開発仕様	5	10	20	
出力L側ON抵抗	R_{OL}	I_O=+20mA	要求仕様	-	5	10	Ω
			開発仕様	2.5	5	10	

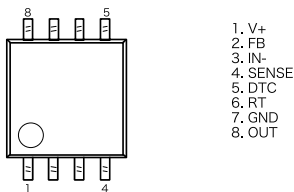
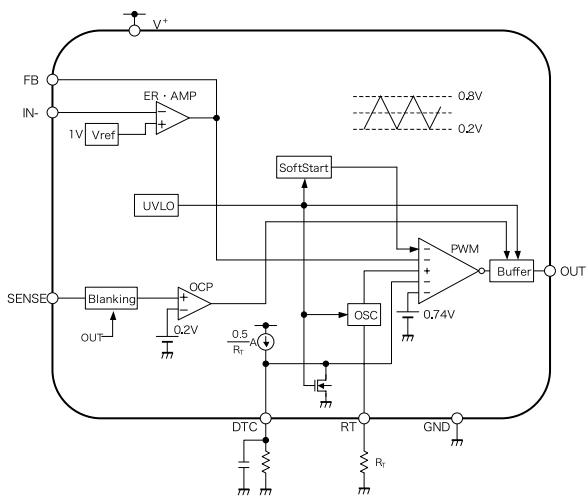
総合特性

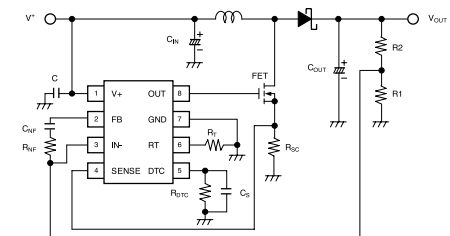
項目	記号	条件	分類	最小値	標準値	最大値	単位
消費電流	I_{DD}	R_L=無負荷	要求仕様	-	800	1200	μA
			開発仕様	600	800	1200	
消費電力	P_D	R_L=無負荷	要求仕様	-	-	-	mW
			開発仕様	1.98	2.64	3.96	

■外形　TVSP-8

名称 8ピン・Thin Very Small Package

■端子接続図

1. V+
2. FB
3. IN-
4. SENSE
5. DTC
6. RT
7. GND
8. OUT

■ブロック図

■応用回路例

昇圧回路

フライバック回路

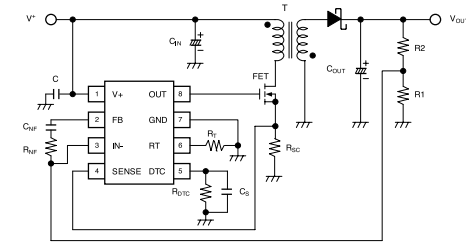



図4　開発仕様書の例

スイッチング電源ICの開発仕様書例．絶対最大定格，電気的特性，等価回路図，測定回路図，アプリケーション回路例，端子情報などが盛り込まれる．

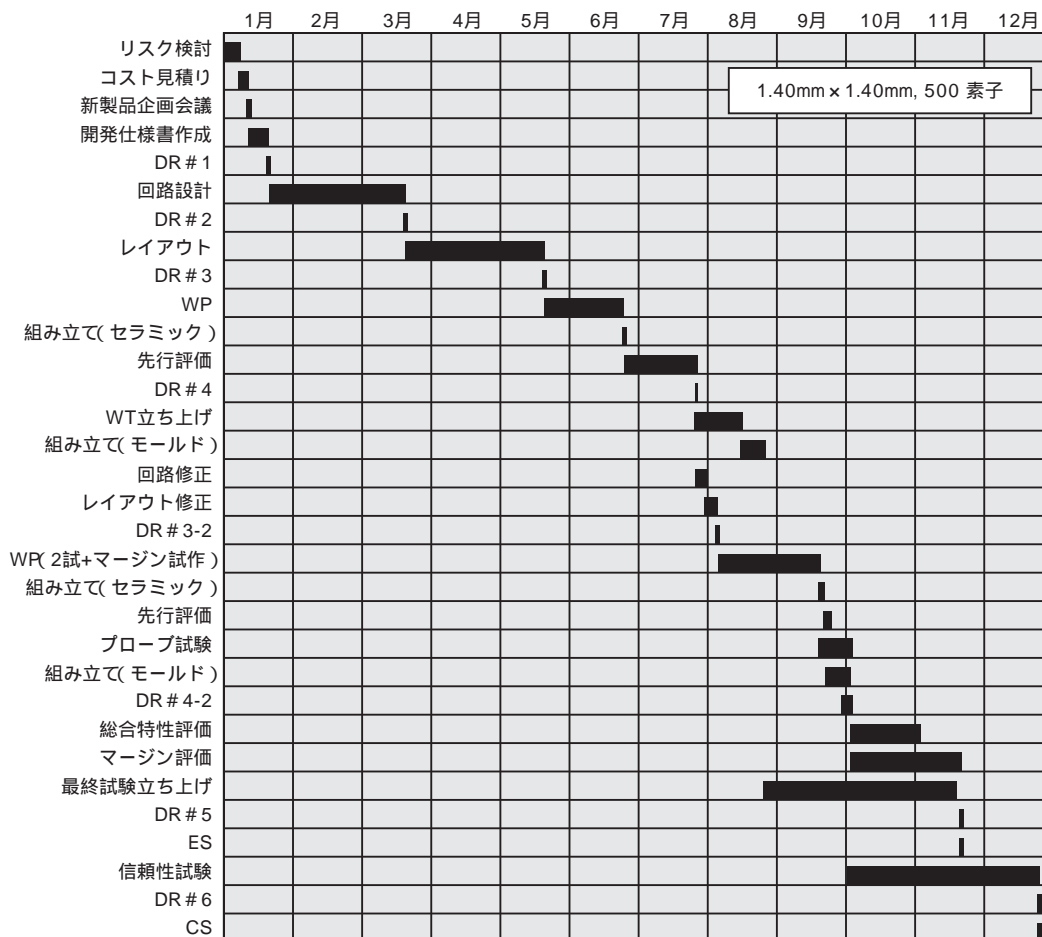



図5　開発スケジュールの作成例

チップ・サイズが1.40mm×1.40mmで，素子数が500素子程度のCMOSアナログICを想定した開発スケジュール例．このスケジュールでは，回路設計期間を2箇月，レイアウト設計期間を2箇月としているが，実績のある設計資産をどの程度流用できるか，および設計者のスキル・レベルなどによって、開発スケジュールは大きく変わってくる．この規模のアナログICでは，1年程度の開発期間が必要となってくる．

うな回路構成にすれば，要求される仕様を満足できるのかを検討し，開発仕様書（**図4**）を作成します．例えば，顧客が外形の小さなパッケージを要求すると，搭載可能なチップ・サイズで，さらにパッケージの最大定格電力に許容できるような低消費電流化や過電流保護，過熱保護回路を内蔵することなどの検討を行います．また，ピン配置やピン数に制限があれば，レイアウト設計での工夫や入出力回路形式の変更などの検討を行う必要があります．

開発仕様書には，絶対最大定格，電気的特性，等価回路図，測定回路図，アプリケーション回路例，端子情報などが盛り込まれます．また，全体の製品開発の流れを把握し，関連部門との調整，開発工数の見積もり，要員計画，開発スケジュール（**図5**）の立案，費用対効果（販売見込み数量，金額，製品のライフタイムなどから，開発費が回収できるか，どれくらいの利益が期待できるか）などの分析を行い，開発計画を立案します．

この段階で，ICを開発していくうえでの「リクスの洗い出し」が重要になってきます．ここでのリスクの洗い出し検討（**表1**）の精度が開発期間（手戻り回数）を大きく左右するので，どのようなリスクが予測されるのかを十分に検証して対応策の事前検討を行い，仕様検討や開発計画を立案します．開発スケジュールが厳しい場合は，実績のあるプロセスやパッケージの採用を選択し，開発期間や品質，歩留まりなどのリスクを回避する判断も必要となってきます．

また，要求される仕様以上の高性能化を目指すことで，開発期間が延びてコストアップとなってしまっては意味がないので，市場や顧客の要求を十分に把握し，開発仕様を決める必要があります．

表1　リスクの洗い出し検討例

製品開発に潜むリスクの抽出とそのリスクにどう備えるかを，関連部門の有識者により，仕様，回路，プロセス，テスト，パッケージ，信頼性，量産性などのあらゆる見地から懸念事項を検討する．また，過去のトラブル事例やフィールド情報からのフィードバックも行い，手戻り回数の低減，開発スケジュールの精度向上や不良流出の防止，品質，歩留り，納期などに対するリスクの事前抽出を行う．

分類	回答部門	項 目	懸念事項など	判定
仕様	指定なし	要求仕様の完成度は？（未決定の項目は？）	ターゲット顧客確認済み	問題なし
	指定なし	ファンクションの完成度は？（未決定の項目は？）	決定済み	問題なし
	指定なし	動作範囲は？（温度，電圧など）	決定済み	問題なし
	指定なし	電気的特性で注意すべき点は？（精度，ばらつきなど）	類似製品でのマージン試作結果から特性は実現可能と判断する	問題なし
	指定なし	本 ICでの仕様外，常識的動作で注意すべき点は？	問題なし	問題なし
	指定なし	typ 値のみの項目はないか？	問題なし	問題なし
	指定なし	将来，温度，電圧範囲などの拡大要求の可能性はないか？	温度拡大要求時に再度全評価内容を見直し判断する	問題なし
	指定なし	PAD，端子配置の完成度は？	決定済み	問題なし
	指定なし	使用 PKG は？	TVSP-8	問題なし
	指定なし	測定回路，測定条件は明確か？	決定済み	問題なし
	商品企画	車載の可能性は？	一般向け製品のため特別品質要求はない	問題なし
	商品企画	特殊マーク有無は？	なし	問題なし
	指定なし	小型 PKGの文字数制限で表示文字の要求はあるか？	なし	問題なし
	商品企画	会社ロゴ指定に要求はあるか？	なし	問題なし
	指定なし	各種法令違反の危険性は？（PL 法，特許など）	使用予定の回路構成では事前調査の結果，関連特許抵触はない	問題なし
	商品企画	ターゲット・ユーザー以外の販売はあるか？	ターゲット顧客のみ	問題なし
	設計	テスト・モードは明確になっているか？	テスト・モードなし	問題なし
	商品企画	温度範囲での保証項目はないか？	全項目，電気的特性は25℃特性保証であり，温度テストの必要なし	問題なし
	設計	使用上の禁止事項，制限事項はないか？	なし	問題なし
	商品企画	バンプ・チップの仕様要求は？	バンプの要求なし	問題なし
	技術	パッケージや包装材の新規採用予定はないか？	既存の部材を使用	問題なし
	商品企画	ユーザー，アプリケーションは判明しているか？	一般向けで，特別検討すべき用途はなし	問題なし
	全部門	その他		
回路	設計	PDKは整備されているか？	既存プロセス使用であり，整備済み	問題なし
	設計	新規回路はあるか？	OP アンプ部（TEGで特性確認済み）	問題なし
	指定なし	ESDへの懸念は？	保護素子は既存製品で実績あり	問題なし
	設計	ESDに関し有識者の関与が必要性か？	ESD に特別要求はないので不要	問題なし
	設計	類似品の試作実績は？	数製品あり，特性確認も完了しており問題は出ていないので懸念事項はない	問題なし
	設計	チップ・サイズの精度は？	約 95%	問題なし
	設計	特許抵触の可能性は？	使用予定の回路構成では事前調査の結果，関連特許抵触はない	問題なし
	設計	新規セルの使用はあるか？	事前の TEG で特性の確認済み	問題なし
	設計	既存セルの新規組み合わせはあるか？	PDKが整備されており，通常の検証作業でエラーの抽出は可能	問題なし
	設計	過去の失敗事例に当てはまる特性，回路はないか？	過去の失敗事例調査済み	問題なし
	設計	実測合わせ込みが必要な項目はあるか？	なし	問題なし
	全部門	その他		
プロセス	指定なし	使用プロセスは？	既存プロセス	問題なし
	指定なし	ばらつき大のパラメータは？	回路検討時に考慮済み	問題なし
	プロセス	類似品の試作実績は？	数十製品の試作実績があり	問題なし
	プロセス	プロセス DR は？	済み	問題なし
	設計	オプション等追加素子はないか？	VND，POM（実績あり）	問題なし
	指定なし	新規外注先は使用しないか？	社内プロセス使用	問題なし
	全部門	その他		

分類	回答部門	項 目	懸念事項など	判定
テスト	技術	トリミングはあるか？	あり（71箇所），装置上の問題はなし	問題なし
	技術	新機能の確認：今までの製品にない新機能はあるか？	なし	問題なし
	技術	特殊仕様の確認：評価上特別に考慮することはあるか？	なし	問題なし
	全部門	バーインを行う必要はあるか？	なし	問題なし
	全部門	特殊外付け部品の確認：外付けアプリケーション回路に入手困難な部品はあるか？	なし	問題なし
	技術	装置上の制約の確認：動作保証電圧範囲	問題なし	問題なし
	技術	装置上の制約の確認：動作保証電流範囲	問題なし	問題なし
	技術	装置上の制約の確認：動作保証温度範囲	問題なし	問題なし
	技術	装置上の制約の確認：最高動作保証周波数	問題なし	問題なし
	技術	装置上の制約の確認：高精度保証項目の有無	入力バイアス電流：テスト打ち合わせ調整	問題なし
	技術	装置上の制約の確認：ピン数（PAD 数）	問題なし	問題なし
	技術	装置上の制約の確認：パッド・サイズ（針当て性など）	問題なし	問題なし
	技術	装置上の制約の確認：パッド・ピッチ	問題なし	問題なし
	技術	装置上の制約の確認：パターンメモリ容量の増設必要性	なし	問題なし
	指定なし	テスト仕様の確認：設計保証項目の有無	アンプ部：電圧利得，利得帯域幅積の測定が必要であり，テスト打ち合わせ調整	問題なし
	指定なし	テスト仕様の確認：代替測定の有無	テスト打ち合わせで調整可能	問題なし
	指定なし	テスト回路の確認：テスト時間短縮を目的としたテスト回路の有無	回路設計時にテスト打ち合わせで調整が必要	問題なし
	技術部門	PKGに関しての確認：FT 先，FT テスター	問題なし	問題なし
	技術	PKGに関しての確認：バーイン装置仕様	不要	問題なし
	全部門	その他		
P K G	設計	搭載チップ・サイズは？	1.40×1.40mm	問題なし
	技術	PKG 認定は？	既存パッケージであり問題なし	問題なし
	技術	リード・フレームは新規か？	既存パッケージであり問題なし	問題なし
	技術	社内製か社外製か？	社内製パッケージ	問題なし
	技術	社外製 PKG の社内使用の実績はあるか？	社内製パッケージ	問題なし
	技術	パッケージ DRは完了済みか？	完了済み	問題なし
	技術	評価用 PKG は特殊か？	量産と同じパッケージを使用	問題なし
	技術	新規外注先は使用しないか？	使用しない	問題なし
	設計	出力電流の仕様で PKG の熱抵抗は十分か？	TVSP-8 の PD 値と IC 動作から問題なし	問題なし
	商品企画	実装条件の客先要求は？	特別要求なし	問題なし
	商品企画	PKG 外形の公差要求は？	特別要求なし	問題なし
	商品企画	PKG 外形の包装仕様は？	特別要求なし	問題なし
	全部門	その他		
信頼性	商品企画	特殊な信頼性条件は必要か？	特別要求なし	問題なし
	品質保証	通電回路で特殊な部品はあるか？	なし	問題なし
	全部門	その他		
その他	設計	派生品の場合，コア品の開発状況は？	コア製品	問題なし
	指定なし	派生品の場合の審査項目は？	コア製品	問題なし
	設計	汎用品かカスタム品か？	汎用品	問題なし
	全部門	その他		

3．回路設計の手順と勘所

次に開発仕様書に基づいて機能や性能を実現させるための詳細ブロック図を作成し，どのようなシステム構成で，どのような機能を持たせるのかを検討します．そして，そのシステム構成や機能をどのような回路構成で実現するかを検討します（**図6**）．

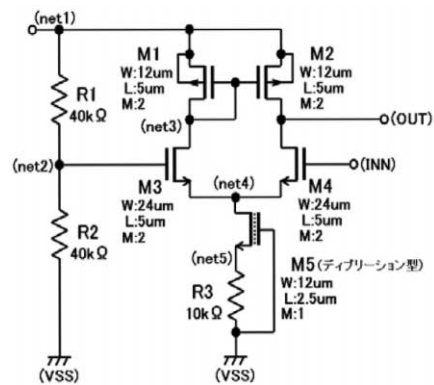
具体的には，電圧源，電流源，カレント・ミラー，バイアス回路，ソース接地回路，差動増幅回路，OPアンプ，コンパレータなどの基本回路やその応用回路などをベースに回路を組み立てていきます．

● アナログ回路の設計には回路シミュレータを活用する

アナログ回路の場合，要求される仕様を実現するためには，幾通りもの回路構成が考えられます．したがって，最適な回路構成を選択したり創造したりする能力が必要となります．これは，ディジタル回路に比べアナログ回路は，設計者の個性や思いが回路に盛り込みやすいということを意味しており，アナログ回路の難しいところでもあり，面白いところでもあると言えます．

設計した回路が開発仕様を満足するか否かの検証や回路構成，定数の最適化などを行うための手段として，回路図から最終的な回路設計のアウトプットとなる回路接続情報（**図7**）を作成し，回路の各ノードの電圧や電流を計算するツール（回路シミュレータ）を用いた設計・検証（**写真4**）を行います．現在，最もよく使われている回路シミュレータ

開発仕様の作成
↓
システム設計
↓
回路設計
↓
回路検証（SIM）
↓
実験による検証
↓ B.B. or TEG
設計予実表の作成
↓ 設計審査
レイアウト設計へ

図6　回路設計の流れ
一般的な回路設計の流れを示す．開発仕様書の作成，システム設計，回路設計，回路検証などを行い，レイアウト設計に着手する前に設計審査を行う．

ネット・リスト

M1	net3	net3	net1	net1	PMOS1	W=12u	L=5u	M=2
M2	OUT	net3	net1	net1	PMOS1	W=12u	L=5u	M=2
M3	net3	net2	net4	VSS	NMOS1	W=12u	L=5u	M=2
M4	OUT	INN	net4	VSS	NMOS1	W=12u	L=5u	M=2
M5	net4	VSS	net5	VSS	NMOS2	W=12u	L=2.5u	M=1
R1	net1	net2	40k					
R2	net2	VSS	40k					
R3	net5	VSS	10k					

M3	net3	net2	net4	VSS	NMOS1	W=12u	L=5u	M=2
①	②	③	④	⑤	⑥	⑦	⑧	⑨

① エレメント名：エレメント・タイプごとに特定の文字が割り当てられている．
　M：MOSFET，Q：BJT，R：抵抗，C：キャパシタ，D：ダイオード，V：電圧源，I：電流源など
② ドレイン端子ノード名
③ ゲート端子ノード名
④ ソース端子ノード名
⑤ バルク端子ノード名
　②～⑤：エレメント同士を接続しようとするノードの名前
⑥ モデル参照名：エレメントの電気的特性を定義するモデル・パラメータに関連付ける．
　PMOS1：エンハンスメント型PMOS トランジスタ
　NMOS1：エンハンスメント型NMOS トランジスタ
　NMOS2：ディプリーション型NMOS トランジスタ
⑦ MOS トランジスタのチャネル幅
⑧ MOS トランジスタのチャネル長
⑨ エレメント乗数：例（M3）では，NMOS１（W=12μm, L=5μm）を2 素子並列接続する．

図7
回路接続情報
回路接続情報（ネット・リスト）とは，回路の素子情報，配線接続情報などについて表現したデータのこと．通常，回路図エディタを用いて回路図を入力し，ネット・リストを出力する．

写真4　回路設計・検証

回路図から最終的な回路設計のアウトプットとなる回路接続情報を作成し，回路の各ノードの電圧や電流を計算する回路シミュレータを用いて設計・検証を行う．ただし，あくまでも回路シミュレータは「机上設計」された回路の検証や定数の最適化などを行う回路設計支援ツールであり，効率の悪い複雑な計算を手助けするツールである．

表2　SPICEが行う解析の種類

解析名	内　容
DC解析	直流特性を解析
感度解析	デバイス・パラメータ変動に対する直流小信号感度を解析
TF解析	DC小信号伝達関数を解析
AC解析	交流小信号周波数特性を解析
ノイズ解析	デバイスが発生する雑音レベルを解析
ひずみ解析	小信号ひずみを解析
過渡解析	時間領域過渡応答を解析
フーリエ解析	フーリエ周波数成分を解析
温度依存性	温度を指定して各解析と実行

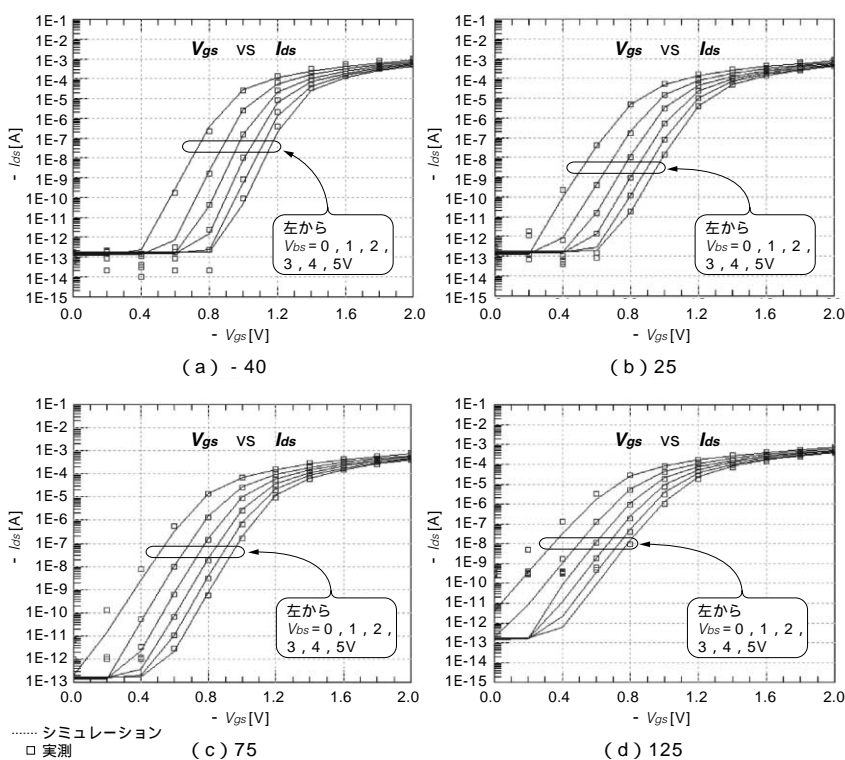



図8
ゲート電圧 V_{gs} 対ドレイン電流 I_{ds} の特性

25℃では，OFF時リーク電流のレベルがシミュレーション結果と実測値でよく合っているが，それ以外の温度に関しては差異が見られる．特に125℃に関しては2桁以上シミュレーションが実測より電流のレベルが低い結果となっている．また，モデル・パラメータの最適化の余地はあると思うが，精度が低くなりがちな項目であり注意が必要．V_{bs}：基板バイアス．

用の汎用回路解析プログラムは，University of California, Berkeleyで開発されたSPICE（simulation program with integrated circuit emphasis）です．また，HSPICE，Spectre，SmartSpice，PSpiceなど，SPICEから派生した商用の回路シミュレータが多数存在します．

機能としては，DC解析，AC解析，過渡解析など（**表2**）の計算が可能です．また，MOSFETのモデルとしてはBSIM3（Berkeley Short-Channel IGFET Model 3）が一般的に使用され，しきい値電圧におよぼす不均一基板濃度の効果，短チャネル効果，横方向の電界による移動度の減少，チャネル長変調（CLM：channel length modulation），ドレイン・インデュースト・バリア低下（DIBL：drain induced barrier lowering），基板電流インデュースト・ボディ効果（SCBE：substrate current induced body effect），弱反転領域の導電特性，寄生抵抗効果などの物理現象を考慮しています（http://www-device.eecs.berkeley.edu/~bsim3/を参照）．

回路シミュレータは万能な設計ツールではなく，シミュレーションでは再現困難な領域や信頼度の低い領域などに関しては，必要に応じてTEG（test element group）試作を実施し，回路設計に必要なパラメータの抽出や定数の最適化などを行います．TEGには，回路TEG，デバイスTEG，プロセスTEGがあり，この段階で行うTEGは，回路TEGとデバイスTEGとなります．

回路TEGは，回路性能の確認や定数の最適化などのためにICを構成する基本回路などの特性評価を行います．デ

(a) 強反転領域　(b) しきい値電圧近傍1　(c) しきい値電圧近傍2

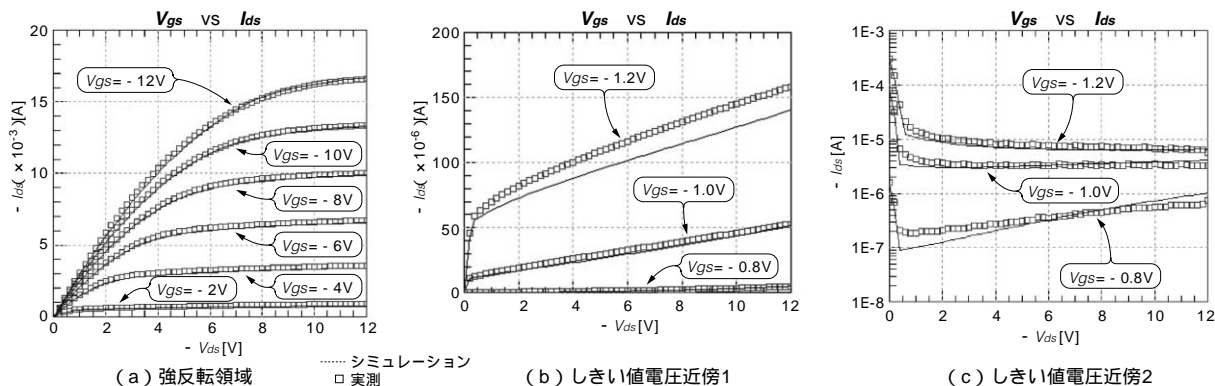



図9　ドレイン電圧 V_{ds} 対 ドレイン電流 I_{ds}，ドレイン・コンダクダンス g_{ds} の特性

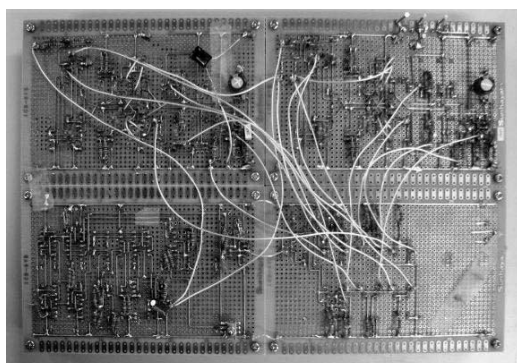
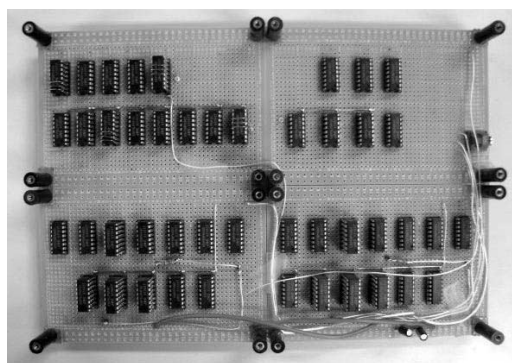
V_{gs} が2V以上の強反転領域では，シミュレーション結果と実測値でよく合っているが，V_{gs} を－0.8V，－1.0V，－1.2Vとしたとき，しきい値電圧の近傍では差異が見られる．また，この領域でのドレイン・コンダクタンスで見ても差異が確認できる．まだモデル・パラメータの最適化の余地はあると思うが，精度が低くなりがちな項目であり注意が必要．

(a) ブレッド・ボードの例（表）

(b) ブレッド・ボードの例（裏）

写真5　バイポーラ回路のブレッド・ボードの例

ブレッド・ボード（bread board）とは，キット・パーツ（写真6）と呼ばれる「集積化する能動素子と同一プロセスで製造された素子群」を用いて，ICの機能を確認するボードのこと．IC上に実現される予定のトランジスタや抵抗などをあらかじめキット・パーツとして製作し，実際の素子における特性を事前に検証する．

バイスTEGは，素子単体の特性評価やモデル・パラメータの抽出などを行います．IC設計者は，回路シミュレーションによる検証結果において，信頼できる部分と信頼できない部分をしっかり判断し，TEGでの検証が必要であるか否かの判断を行う必要があります．あくまでも，回路シミュレータは「机上設計」された回路の検証や定数の最適化などを行う回路設計支援ツールであり，電卓を用いた机上設計では効率が悪い複雑な計算を手助けするツールであることを認識する必要があります．

経験的な話になりますが，BSIM3の場合，弱反転領域を含むしきい値電圧近傍におけるドレイン電流，OFF時リーク電流の温度特性（**図8**），およびしきい値電圧近傍における飽和領域のドレイン電流特性（**図9**）に関しては，シミュレーション精度が低くなりがちです．幅広い電圧や電流の領域でモデル・パラメータを合わせ込むことは難しいので，場合によっては精度向上のために素子の使用領域を限定したモデル・パラメータを何種類か準備し，動作領域に応じて使い分けるなどの工夫も必要となってきます．

● 最近ではブレッド・ボードを作るよりもシミュレータを活用することが多くなった

十分な机上設計を行わずに，既存の回路を組み合わせて動作確認をシミュレーションで行うといったカット＆トライ的設計手法では，独創性，新規性のある回路は生まれません．さらに，試作を行い期待した性能が得られなかった場合には，不具合の原因解析や対策を迅速に行うことはできないでしょう．シミュレーション依存の設計にならないように心掛けなければなりません．

バイポーラ回路であれば，ブレッド・ボード（**写真5**，**写真6**）による回路動作の検証も有効な手段となります．特に，回路シミュレーションでは検証での信頼度が低い領域に関しては，ブレッド・ボードで回路を組み立てて検証を

写真6
キット・パーツ
通常，定常的に量産ラインで流動している製品のウェハを使用し，その配線層のみの変更でプロセスごとのキット・パーツを準備する．パッケージはプリント基板に実装しやすいDIP（dual inline package）タイプがよく使用される．

項　目		ばらつき			単　位
		低	中	高	
NMOS	V_{TN}	－0.15	typ	＋0.15	V
PMOS	V_{TP}	－0.15	typ	＋0.15	V
抵　抗	R	－20%	typ	＋20%	Ω
MOS容量	C	－10%	typ	＋10%	F
電源電圧	V^+	V(min)	typ	V(max)	V
温　度	T_a	－40	typ	85	℃
……					
……					

図10
ワースト条件での回路検証例
製品の使用条件や環境，製造工程でのパラメータのばらつきなどを考慮し，各素子の特性変動，電源電圧変動，周囲温度変動などの各組み合わせワースト条件での検証を行い，設計予実表（表3）にて十分な余裕度のある回路設計になっているかを確認する．

行います．しかし，アナログCMOS回路の場合は，トランジスタ・サイズ（ゲート幅，ゲート長）の自由度が高すぎることや，各ノードのインピーダンスが高くなりがちでノイズの影響を受けやすいこと，および静電気に弱いことなどの理由により，ブレッド・ボードでの検証は現実的でなくなり，回路シミュレーションによる検証がメインとなります．最近では，バイポーラ回路でもブレッド・ボードの作成に時間がかかる割に，大電流領域や高周波帯域での検証が不向きであることと，シミュレーション精度が向上してきたことにより，ブレッド・ボードでの検証を用いることは少なくなってきました．

また，各素子のばらつき量（工程能力）に対し，十分に余裕のある設計を行う必要があります．製造工程でのプロセス・パラメータはばらつき幅をもっており，各素子の特性もばらつきを持ちます．例えば，ゲート酸化膜厚，ゲート長，基板濃度などのばらつきにより，トランジスタのしきい値電圧V_Tやトランスコンダクタンスg_mなどが変動します．ICが使用される時の電源電圧や環境温度も一定ではないので，各ワースト条件（**図10**）を考慮した回路設計，回路検証が必要となってきます．

しかし，例えば6条件の項目を振らなければいけない場合，$3^6 = 729$通りの検証を行う必要があります．また，その結果を確認するのは人なので，すべての条件で検証を行うとなると，シミュレーション検証時間と結果確認でかなりの時間を費やすことになります．従って，単純にすべての素子ばらつきの組み合わせを検証するのではなく，通常は各検証項目でのワースト条件を回路構成より見極め，ある程度の絞り込みを行ってから検証を実行します．

例として，回路構成上最大値となる条件が「抵抗値低め・しきい値電圧高め」，最小値となる条件が「抵抗値高め・しきい値電圧低め」などと確実に予測される場合は，ほかの組み合わせによる検証を簡略化します．ただし，予測できない場合はすべての組み合わせでの検証を行うこととなります．

最終的には，開発仕様や各素子のばらつき（絶対値ばらつき，相対値ばらつき），温度変動，電源電圧変動などを考慮したシミュレーション結果，およびTEGでの実験結果などを設計予実表にまとめ，すべての条件下で開発仕様と設計検証結果との整合性や妥当性を確認します．また，**表3**の設計予実表の作成例は，電源電圧V^+と周囲温度T_aがtyp（代表値）条件の時のもので，電源電圧が低い場合/

表3　設計予実表の作成例　設計予実表とは，開発仕様と設計検証結果との整合性や妥当性を確認するための比較表．

1．最大定格

項目	記号	条件	分類	最大定格	単位
動作電圧	V^+		要求仕様	+9	V
			設計目標	+9	
出力電流	I_O		要求仕様	±50	mA
			設計目標	±50	
消費電力	P_D	TVSP	要求仕様	320	mW
			設計目標	320	
動作温度	Topr		要求仕様	-40～+85	℃
			設計目標	-40～+85	
保存温度	Tstg		要求仕様	-40～+125	℃
			設計目標	-40～+125	

2．Simulation条件

項目	記号	Ｎｏｔｅ	最小値	標準値	最大値	単位
NMOS (Enhancement)	Vth		0.65	0.80	0.95	V
NMOS (Low Vt)	Vth		0.35	0.50	0.65	V
NMOS (Initial)	Vth		0.20	0.35	0.50	V
NMOS (Depletion)	Vth		-0.40	-0.25	-0.10	V
PMOS (Enhancement)	Vth		-0.70	-0.85	-1.00	V
PMOS (Low Vt)	Vth		-0.40	-0.55	-0.70	V
PMOS (Initial)	Vth		-1.00	-1.15	-1.30	V
Resistance (HRPOL)	RPH		6k	10k	14k	Ω/□
Resistance (POL)	RPL		20	25	30	Ω/□
Resistance (NLD)	RND		1.875k	2.5k	3.125k	Ω/□
Resistance (PLD)	RPD		3.7k	5.5k	7.3k	Ω/□

記号の意味

R+	抵抗値：高
R-	抵抗値：低
ss	V_{TN}：高, V_{TP}：高
sf	V_{TN}：高, V_{TP}：低
fs	V_{TN}：低, V_{TP}：高
ff	V_{TN}：低, V_{TP}：低
V^+	2.2V, 3.3V, 8V
Ta	−40℃, 25℃, 85℃

3．全体仕様
V+=3.3V,RT=47kΩ、Ta=25℃

低電圧誤動作防止回路部

項目	記号	条件	分類	最小値	標準値	最大値	単位
ONスレッショルド電圧	V_{T_ON}	V^+=L→H	開発仕様	1.9	2.0	2.1	V
		最大値：ff,R-	SIM値	1.999	2.002	2.004	
		最小値：ss,R＋	BB実測値				
OFFスレッショルド電圧	V_{T_OFF}	V^+=H→L	開発仕様	1.8	1.9	2	V
		最大値：ff,R-	SIM値	1.899	1.900	1.902	
		最小値：ss,R＋	BB実測値				
ヒステリシス幅	V_{HYS}		開発仕様	60	100	150	mV
		最大値：ff,R-	SIM値	100	102	102	
		最小値：ss,R＋	BB実測値				

ソフト・スタート部

項目	記号	条件	分類	最小値	標準値	最大値	単位
ソフト・スタート時間	T_{SS}	V_{T_ON}→DUTY＝80% ＊トリミングにより調整	開発仕様	8	16	24	ms
		最大値：ss,R＋	SIM値	15.4	15.9	17.1	
		最小値：ff,R-	BB実測値		17.2		

過電流保護回路部

項目	記号	条件	分類	最小値	標準値	最大値	単位
電流制限検出電圧	V_{SENSE}		開発仕様	170	200	230.00	mV
		最大値：ss,R＋	SIM値	199.9	200.0	200.0	
		最小値：ff,R-	BB実測値		198		
遅延時間	T_{DELAY}	V_{SENSE} +0.1V	開発仕様	90	140	190	ns
		最大値：ff,R-	SIM値	129	142	184	
		最小値：ss,R＋	BB実測値		143		
SENSEブランク時間	T_{BLANK}		開発仕様	40	90	140	ns
		最大値：ss,R＋	SIM値	64	82	112	
		最小値：ff,R-	BB実測値		85		

発振回路部

項目	記号	条件	分類	最小値	標準値	最大値	単位
RT端子電圧	V_{RT}		開発仕様	0.475	0.500	0.525	V
		最大値：ff,R-	SIM値	0.499	0.500	0.501	
		最小値：ss,R＋	BB実測値				
発振周波数	f_{OSC}	＊トリミングにより調整	開発仕様	630	700	770	kHz
		最大値：ff,R-	SIM値	676	700	739	
		最小値：ss,R＋	BB実測値		697		
周波数電源電圧変動	f_{DV}	V^+=2.2～8.0V	開発仕様	0	1	3	%
		最大値：ss,R＋	SIM値	0.189	1.20	1.92	
		最小値：ff,R-	BB実測値				
周波数温度変動	f_{DT}	Ta=-40～+85℃	開発仕様	0	3	5	%
		最大値：ff,R-	SIM値	2.4	3.2	3.5	
		最小値：ss,R＋	BB実測値				

誤差増幅回路部（１）

項目	記号	条件	分類	最小値	標準値	最大値	単位
基準電圧	V_B	＊トリミングにより調整	開発仕様	0.985	1.00	1.015	V
		最大値：ff,R-	SIM値	0.999	1.000	1.001	
		最小値：ss,R＋	BB実測値		1.001		
入力バイアス電流	I_B		開発仕様	-0.1	0	0.1	μA
		最大値：ff,R-	SIM値	0	0	0	
		最小値：ss,R＋	BB実測値				

誤差増幅器部（２）

項目	記号	条件	分類	最小値	標準値	最大値	単位
開ループ利得	A_V		開発仕様	60	80	100	dB
		最大値：ff,R-	SIM値	79.2	79.5	79.8	
		最小値：ss,R＋	BB実測値				
利得帯域幅積	G_B		開発仕様	0.7	1	1.3	MHz
		最大値：ss,R＋	SIM値	1.01	1.04	1.06	
		最小値：ff,R-	BB実測値				
出力ソース電流	I_{OM+}	V_{FB}=1V,V_{IN-}=0.9V	開発仕様	25	55	95	mA
		最大値：ff,R-	SIM値	37.0	41.0	45.0	
		最小値：ss,R＋	BB実測値				
出力シンク電流	I_{OM-}	V_{FB}=1V,V_{IN-}=1.1V	開発仕様	0.10	0.16	0.22	mA
		最大値：ff,R-	SIM値	0.14	0.15	0.16	
		最小値：ss,R＋	BB実測値		0.157		

PWM比較器部

項目	記号	条件	分類	最小値	標準値	最大値	単位
入力スレッショルド電圧	V_{T_0}	Duty=0%	開発仕様	0.16	0.22	0.28	V
		最大値：ss,R＋	SIM値	0.18	0.24	0.24	
		最小値：ff,R-	BB実測値				
入力スレッショルド電圧	V_{T_50}	Duty=50%	開発仕様	0.44	0.50	0.56	V
		最大値：ss,R＋	SIM値	0.50	0.51	0.51	
		最小値：ff,R-	BB実測値				
最大デューティ・サイクル	M_{AXDUTY_1}	V_{FB}=0.9V＊トリミングにより調整	開発仕様	85	90	95	%
		最大値：ss,R＋	SIM値	86.9	90.1	92	
		最小値：ff,R-	BB実測値		89		
最大デューティ・サイクル	M_{AXDUTY_2}	V_{FB}=0.9V,R_{DTC} =47KΩ	開発仕様	40	50	60	%
		最大値：ss,R＋	SIM値	46.8	48.9	49.1	
		最小値：ff,R-	BB実測値				

出力部

項目	記号	条件	分類	最小値	標準値	最大値	単位
出力H側ON抵抗	R_{OH}	I_O=-20mA	開発仕様	5	10	20	Ω
		最大値：ss,R＋	SIM値	5.5	6.0	6.0	
		最小値：ff,R-	BB実測値				
出力L側ON抵抗	R_{OL}	I_O=+20mA	開発仕様	3	5	10	Ω
		最大値：ss,R＋	SIM値	3.1	3.3	3.5	
		最小値：ff,R-	BB実測値				

総合特性

項目	記号	条件	分類	最小値	標準値	最大値	単位
消費電流	I_{DD}	R_L=無負荷	開発仕様	600	800	1200	μA
		最大値：ff,R-	SIM値	679	722	886	
		最小値：ss,R＋	BB実測値		888		

高い場合，周囲温度が低い場合/高い場合においても同様に設計予実表の作成を行い，開発仕様との整合性や妥当性を確認します．

よしだ・はるひこ

＜著者プロフィール＞
吉田晴彦． 1985年に新日本無線に入社．プロセス開発や電源IC設計などに従事．現在ミックスト・シグナルIC設計部門に所属．